



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000277713 A**(43) Date of publication of application: **06.10.00**

(51) Int. Cl.

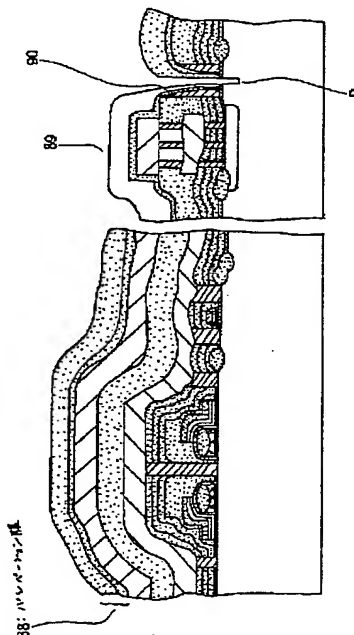
**H01L 27/115****H01L 27/10****H01L 21/8247****H01L 29/788****H01L 29/792**(21) Application number: **11083788**(71) Applicant: **SANYO ELECTRIC CO LTD**(22) Date of filing: **26.03.99**(72) Inventor: **KITAGAWA KATSUHIKO**(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To improve resistance to moisture of a chip size package in which a nonvolatile semiconductor storage device is packaged.

**SOLUTION:** A seal ring 89 is arranged around an IC circuit forming part 1A, and a plug constituting the seal ring 89 cuts the interface of an interlayer insulating film, so that a path of moisture is blocked. Addition to the first seal ring 89, double, triple and so on seals are enabled because a sidewall of the interlayer insulating film, i.e., a spacer 90 covering the interface is formed. Moisture hardly permeates into a chip size package, constituted of a nonvolatile semiconductor storage device, so that a stricture where hydrogen, hydrogen atoms, etc., scarce diffuse into a TEOS film, an SOG film, etc., is obtained. Thereby trap to a tunnel oxide film can be prevented, and the number of times of rewrite can be increased.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-277713

(P2000-277713A)

(43) 公開日 平成12年10月6日 (2000.10.6)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テマコード* (参考) |           |
|---------------------------|-------|---------------|-------------|-----------|
| H 0 1 L 27/115            |       | H 0 1 L 27/10 | 4 3 4       | 5 F 0 0 1 |
| 27/10                     | 4 8 1 |               | 4 8 1       | 5 F 0 8 3 |
| 21/8247                   |       | 29/78         | 3 7 1       |           |
| 29/788                    |       |               |             |           |
| 29/792                    |       |               |             |           |

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21) 出願番号 特願平11-83788

(22) 出願日 平成11年3月26日 (1999.3.26)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

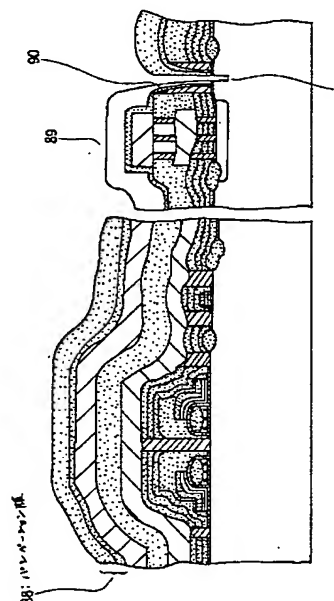
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不揮発性半導体記憶装置が実装されたチップサイズパッケージの耐湿性を向上する。

【解決手段】 IC回路形成部1Aの周囲にシールリング89を設け、このシールリング89を構成するプラグが層間絶縁膜の界面をカットするので、湿気の通路を遮断する。また第1のシールリング89の他に、層間絶縁膜の側壁、つまり界面を覆うスペーサ90が設けられるため、二重、三重…のシールが可能となる。不揮発性半導体記憶装置より成るチップサイズパッケージでも、湿気が浸入しにくいので、TEOS膜やSOG膜等に水素や水素原子等が拡散されにくい構造となり、トンネル酸化膜へのトラップを防止することができ、書き換え回数増大を実現することができる。



## 【特許請求の範囲】

【請求項1】一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲート上の絶縁膜を介して前記フローティングゲートと重なる領域を持ったコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板上に形成された逆導電型のソース領域およびドレイン領域と、前記コントロールゲート、前記ソース領域および前記ドレイン領域とコンタクトした金属配線とを備えた不揮発性半導体記憶素子を備えた半導体装置において、

前記不揮発性半導体記憶素子が形成されるIC回路形成部と前記半導体装置の周囲に位置するダイシング部との間に除去領域が設けられ、この除去領域の側壁には、前記金属配線とコンタクトするプラグ材料が被覆される事

を特徴とした半導体装置。  
【請求項2】一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲート上の絶縁膜を介して前記フローティングゲートと重なる領域を持ったコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板上に形成された逆導電型のソース領域およびドレイン領域と、前記コントロールゲート、前記ソース領域および前記ドレイン領域とコンタクトした金属配線とを備えた不揮発性半導体記憶素子を備えた半導体装置において、

前記金属配線は、その下層に形成される複数層から成る層間絶縁膜に形成されたコンタクトホールに埋め込まれ、頭部でコンタクトするプラグを有し、

前記不揮発性半導体記憶素子が形成されるIC回路形成部と前記半導体装置の周囲に位置するダイシング部との間には、前記層間絶縁膜の界面が内部で露出するリング状の溝を設けられ、この溝に前記プラグの材料が埋め込まれ、頭部には前記金属配線がリング状に設けられる第1のシールリングが設けられ、

前記第1のシールリングと前記ダイシング部との間には除去領域が設けられ、この除去領域の側壁に、前記プラグ材料が第2のシールリングとして被覆される事を特徴とした半導体装置。

【請求項3】前記除去領域の側壁に設けられた被覆材の外側には、最上層に形成された層間絶縁膜が被覆される請求項1または請求項2に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶素子を有する半導体装置に関し、特に耐湿性が向上され、消去効率を向上させた半導体装置に関するものである。

【0002】

【従来の技術】半導体装置は、周知事項ではあるが、ウ

ェハの状態で作られ、素子が作り込まれ、所定の機能を有したIC回路が形成される。平面的には、このIC回路が形成されたIC回路形成部がマトリックス状に配置され、このIC回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】例えば、ダイシングされるものとして、特開平9-64049号公報が詳しい。図16は、チップサイズパッケージ50の概略を説明するものであり、ウェハ51で作られ、パッシベーション膜52まで被覆されたウェハ51を用意し、最上層のメタル電極53（例えばボンディングパッド）を露出する開口部を形成し、この開口部を介して再配線層54をCuメッキで形成する。

【0004】この再配線層54には、メタルポスト55が形成されると共に、全域には封止樹脂56が全面に被覆され、この封止樹脂56から露出したメタルポスト55には、半田バンプや半田ボール57が形成される。

【0005】この状態でダイシングライン部58に沿ってダイシングされ、個々に分離されて半導体チップ50が完成する。

【0006】一方、ウェハスケールのチップサイズパッケージとして、有用なデバイスとして不揮発性半導体記憶装置がある。CSPを採用することで軽薄短小を実現でき、例えばスチルカメラ、携帯電話等で今後有望なデバイスである。

【0007】この電氣的に消去可能な不揮発性半導体記憶装置、特にプログラマブルROM（EEPROM: Electrically Erasable and Programmable ROM、フラッシュメモリとも言う。）においては、フローティングゲートとコントロールゲートとを有する2重ゲートのトランジスタによってメモセルが形成される。このような2重ゲートの場合、フローティングゲートのドレイン領域で発生したホットエレクトロンを加速し、フローティングゲートに注入することでデータの書き込みが行われる。そして、F-N伝導（Fowler-Nordheim tunneling）によってフローティングゲートからコントロールゲートへ電荷を引き抜きデータの消去が行われる。

【0008】図14はフローティングゲートを有する不揮発性半導体記憶装置のメモセル部分の平面図で、図15はそのX1-X1線の断面図である。この図においては、コントロールゲート6がフローティングゲート4と並んで配置されるスプリットゲート構造を示している。

【0009】まずP型のシリコン基板1に、LOCOS酸化膜よりなる複数の素子分離膜2が短冊状に形成され、素子領域が区画される。シリコン基板1上に、酸化膜3Aを介し、隣り合う素子分離膜2の間に跨るようにしてフローティングゲート4が配置される。

【0010】また、フローティングゲート4上の選択酸化膜(ミニLOCOS酸化膜)5は、フローティングゲート4の中央部に厚く形成されるので、フローティングゲート4の端部には先鋭な角部が形成されている。これが、データの消去動作時にフローティングゲート4の端部で電界集中を生じ易くしている。

【0011】そして酸化膜3Aと一体化されたトンネル酸化膜3を介してコントロールゲート6が配置される。このコントロールゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3Aを介してシリコン基板1に接している。

【0012】また、これらのフローティングゲート4及びコントロールゲート6は、それぞれ隣り合う列が互いに面対称となるように配置される。

【0013】またコントロールゲート6間、フローティングゲート4間に、N型のドレイン領域7及びソース領域8が形成される。ドレイン領域7は、コントロールゲート6の間で素子分離膜2に囲まれてそれぞれが独立し、ソース領域8は、コントロールゲート6の延在する方向に連続する。これらのフローティングゲート4、コントロールゲート6、ドレイン領域7及びソース領域8によりメモリセルのトランジスタが構成される。

【0014】そして、前記コントロールゲート6上に、層間絶縁膜9を介して、アルミニウム合金等から成る金属配線10がコントロールゲート6と交差する方向に配置される。この金属配線10は、コンタクトホール11を通して、ドレイン領域7に接続される。そして、各コントロールゲート6は、ワード線となり、コントロールゲート6と平行に延在するソース領域8は、ソース線となる。また、ドレイン領域7に接続される金属配線10は、ビット線となる。

【0015】このような不揮発性半導体記憶装置の場合、フローティングゲート4に注入される電荷の量によってソース、ドレイン間のオン抵抗値が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセル部のトランジスタ・オン抵抗値を変動させ、これによって生じる各メモリセルのトランジスタの動作特性の差を記憶するデータに対応づけるようにしている。

【0016】このデータの書き込み、消去及び読み出しの各動作は、例えば、以下の通りである。書き込み動作においては、コントロールゲート6の電位を2V、ドレイン領域7の電位を0.5V、ソース領域8の高電位を12Vとする。すると、コントロールゲート6及びフローティングゲート4間、フローティングゲート4及び基板(ソース領域8)間とが容量結合されており(コントロールゲート6及びフローティングゲート4間の容量<フローティングゲート4及び基板(ソース領域8)間の容量)、この容量結合比によりフローティングゲート4の電位が9V程度に持ち上げられ、ドレイン領域7付近

で発生するホットエレクトロンがフローティングゲート4側へ加速され、酸化膜3Aを通してフローティングゲート4に注入されてデータの書き込みが行われる。

【0017】一方、消去動作においては、ドレイン領域7及びソース領域8の電位を0Vとし、コントロールゲート6を14Vとする。これにより、フローティングゲート4内に蓄積されている電荷(電子)が、フローティングゲート4の角部の鋭角部分からF-N(Fowler-Nordheim tunnelling)伝導によって前記トンネル酸化膜3を突き抜けてコントロールゲート6に放出されてデータが消去される。

【0018】そして、読み出し動作においては、コントロールゲート6の電位を4Vとし、ドレイン領域7を2V、ソース領域8を0Vとする。このとき、フローティングゲート4に電荷(電子)が注入されていると、フローティングゲート4の電位が低くなるため、フローティングゲート4の下にはチャネルが形成されずドレイン電流は流れない。逆に、フローティングゲート4に電荷(電子)が注入されていない場合は、フローティングゲート4の電位が高くなるため、フローティングゲート4の下にチャネルが形成されてドレイン電流が流れる。

【0019】

【発明が解決しようとする課題】しかし未だに寿命が短いことが判った。つまり一般のプログラマブルメモリにおいては、データの書き込み/消去の繰り返しは10万回程度が必要とされているが、この不揮発性半導体記憶装置では5万回程度であり、更なる書き換え回数を可能にしたいという要望があった。

【0020】そして、本発明者が行った解析の結果、メモリセルのトランジスタ上に形成した層間絶縁膜の材質と、サイクル寿命との間で、何らかの因果関係があることを突き止めた。

【0021】即ち、フローティングゲート上にコントロールゲートが重なる様な段差の厳しい装置では、平坦化を図るために、プラズマTEOS膜、SOG膜及びプラズマTEOS膜等の複数層から成る層間絶縁膜9を形成している。

【0022】そして、このTEOS膜やSOG膜等に含まれる水素や水素原子等が拡散し、前記トンネル酸化膜にトラップされ、これが影響していると考えた。この水素は、水分が吸着した結果、これから発生するものもあると考えられている。

【0023】従って、ウェハスケール型のCSPに本装置を実装すると、ダイシング部に前記層間絶縁膜の界面が露出しており、この界面を介して水分が浸入し、前述のトラップが増長する問題があった。

【0024】

【課題を解決するための手段】本発明は前述の課題に鑑みてなされ、先ず第1に、不揮発性半導体記憶素子が形成されるIC回路形成部とダイシング部との間に除去領

域を設け、この除去領域の側壁に、金属配線とコンタクトするプラグ材料を被覆することで解決するものである。

【0025】この除去領域は、湿気の浸入経路である界面があるが、この界面にプラグ材を被覆することにより、浸入経路を断つ事ができる。

【0026】また層間絶縁膜のコンタクトホール形成と同時に除去領域を形成し、プラグ材を埋め込むエッチバック工程を採用すれば、除去領域の側壁にスペーサの形状でプラグ材を残存させることができる。従って別途工程を増加させることなく実現できる。

【0027】第2に、金属配線は、その下層に形成される複数層から成る層間絶縁膜に形成されたコンタクトホールに埋め込まれ、頭部でコンタクトするプラグを有し、不揮発性半導体記憶素子が形成されるIC回路形成部と前記半導体装置の周囲に位置するダイシング部との間に、層間絶縁膜の界面が内部で露出するリング状の溝を設け、この溝に前記プラグの材料を埋め込み、頭部には金属配線がリング状に設けられる第1のシールリングを設け、前記第1のシールリングと前記ダイシング部との間に除去領域を設け、この除去領域の側壁に、前記プラグ材料が第2のシールリングとして被覆される事で解決するものである。

【0028】前述した効果と同時に、第1のシールリングを設けることで二重のシールが可能となる。

【0029】第3に、前記除去領域の側壁に設けられた被覆材の外側には、最上層に形成された層間絶縁膜を被覆することで解決するものである。

【0030】最上層の層間絶縁膜を被覆することで、湿気がシールリングへ到達しにくい構造となる。

【0031】従って、湿気が浸入しにくいので、TEOS膜やSOG膜等に水素や水素原子等が拡散されにくい構造となる。

【0032】

【発明の実施の形態】以下、本発明の一実施の形態について説明する。図1～図13の左図は、実質図14や図15に対応する不揮発性半導体記憶装置（IC回路形成部IA）の製法を説明するものであり、図1～図13の右図は、ダイシングライン部DLの製法を説明するものである。

【0033】まず、半導体基板50に約5000～10000Å程度の熱酸化膜51を形成し、予定のN型ウェル52、53の形成領域が露出したホトレジストPR1を形成し、更にはこのホトレジストPR1を介して前記熱酸化膜51をエッチングする。（以上図1参照）

続いて、ホトレジストPR1を取り除き、露出したシリコン面に約500～1000Åの熱酸化膜を形成した後、Pイオンをイオン注入し、熱拡散を経てN型ウェル52、53を形成する。

【0034】ここでN型ウェル52は、Pチャンネル型

トランジスタが形成される領域である。（以上図2参照）

続いて熱酸化膜51を取り除いた後、全面に約150～250Å程度の熱酸化膜（パッド酸化膜）、500～1000Å程度のポリSi、1000～2000Å程度のSi<sub>3</sub>N<sub>4</sub>膜を形成し、予定のLOCOS酸化膜54の形成領域が露出したホトレジストを形成し、ここに対応するSi<sub>3</sub>N<sub>4</sub>膜を取り除く。そして、前記ホトレジストを取り除いた後、予定のLOCOS酸化膜の下に形成されるチャンネルストッパー55の不純物としてボロンをイオン注入し、その後、図14の符号4のように矩形状（ここでは楕円）のLOCOS酸化膜54が形成される。その後、Si<sub>3</sub>N<sub>4</sub>膜、ポリSiを取り除いた後、表面を酸化して約100～200Åのダミー酸化膜56を形成する。（以上図3参照）

このダミー酸化膜56は、イオン注入用の保護膜であり、ここでは図示していない領域にイオン注入が成される。

【0035】そしてその後、ダミー酸化膜56が取り除かれた後、再度100～200Å程度の酸化膜57、1500Å程度のポリSi58および1000Å程度のSi<sub>3</sub>N<sub>4</sub>膜59が積層され、予定のミニLOCOS酸化膜60の形成領域が露出したホトレジストPR2を形成する。（以上図4参照）

そして前記ホトレジストPR2を介してSi<sub>3</sub>N<sub>4</sub>膜59を取り除き、ミニLOCOS酸化膜60の形成予定（またはフローティングゲートの形成領域）のポリシリコン膜58を露出する。

【0036】続いて不純物の導入工程がある。ここではPをイオン注入する。ここではポリシリコン膜58をフローティングゲート61とするためのイオン注入である。また、シリコン窒化膜を形成する前に全面に前記不純物を導入しても良い。

【0037】次に、前記シリコン窒化膜59をマスクにして、開口部に露出しているポリシリコン膜58を選択酸化してミニLOCOS酸化膜60を形成する。（以上図5参照）

このミニLOCOS酸化膜60の膜厚は、最大となる中央部がおおよそ1500Åで、LOCOS酸化膜60の外周部に向かって薄くなっている。またその外周部は、前記シリコン窒化膜59を持ち上げながらこの下面にバズビーク状に入り込むため、特に薄く（例えば、おおよそ100Å以下）形成され、その薄い領域は、シリコン窒化膜の開口部周辺からおおよそ0.05μm（500Å）奥まで形成されている。

【0038】続いて、前記シリコン窒化膜59を除去する工程がある。

【0039】まずシリコン窒化膜59表面の自然酸化膜を除去するため、希フッ酸でエッチオフする。続いて、前記シリコン窒化膜59をリン酸で除去し、後処理とし

て、フッ酸(HF:H<sub>2</sub>O=1:25)を使い熱酸化膜換算でおおよそ50Åエッチオフする。更に、NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>Oの混合液(組成比1:2:5)を用いて洗浄する。この洗浄は、有機物や重金属の除去を行い、後工程でのフッ酸処理時等を考慮して表面の水分の付着性を弱めている。

【0040】続いて、エッチング加工されたミニLOCOS酸化膜60をマスクにして、ポリシリコン膜58をエッチングしフローティングゲート61を形成する。

【0041】このようにして形成されたフローティングゲート61の側壁部の形状は、ミニLOCOS酸化膜60の外周部が滑らかに整形され、更にミニLOCOS酸化膜60をマスクにしてエッチングされるので、より滑らかに形成される。

【0042】次いで、希フッ酸でフローティングゲート61直下以外のダミー酸化膜(ゲート絶縁膜)57をハーフエッチングした後、全面をCVDによるシリコン酸化膜で約100~200Å程度形成する。つまりミニLOCOS酸化膜61とコントロールゲート62との間には第2のゲート絶縁膜63が形成されることになる。

【0043】続いて、ホトレジストPR3を形成し、BF2をイオン注入する。(以上図6参照)

続いて、表面をゲート酸化した後ホトレジストPR3により露出された部分にゲート絶縁膜64を100Å程度で形成する。

【0044】更に、約1000Åのポリシリコン膜65、約1000ÅのWSix膜66および約2000Å程度のゲート絶縁膜67を順次形成し、コントロールゲート62の形成位置にホトレジストPR4を配置する。その際、予定のNチャンネルTRのゲート上にもホトレジストPR4が残る。(以上図7参照)

続いて、ホトレジストPR4をマスクにしてコントロールゲート62およびNチャンネルTRのゲートを形成する。ここでは、ゲート絶縁膜67、WSi66、ポリSi65がエッチングされ、コントロールゲート62の形成領域以外は、ゲート絶縁膜63、64が残る。

【0045】続いて、ホトレジストPR4を取り除いた後、メモリセルの予定のソース領域が露出するようにホトレジストPR5を形成し、Pイオンを注入する。(以上図8参照)

続いてホトレジストPR5を取り除いた後、シリコン酸化膜68をLP-CVDで形成し、図9のようにソース領域、コントロールゲート62上に残存するように、ホトレジストPR6を形成する。そしてホトレジストPR6を介してシリコン酸化膜68をエッチバックし、スペーサ69を形成する。その際、NチャンネルTR69のゲートにもサイドウォールとしてスペーサ70が形成される。そしてこれらの領域を除いた部分には、ゲート絶縁膜63、64が残存する。(以上図9参照)

続いて、全面に約500ÅのLP-CVD法によるシリ

コン酸化膜71、およびBPSG膜72を被覆し、リフローする。更にSOG膜をスピノンで被膜する。

【0046】従って、IC回路形成部IAとダイシングライン部DLの上には、酸化膜63、64の上に3種類の膜が層間絶縁膜74として形成される。またこの後には、コンタクトホール75、76の形成領域が露出したホトレジストPR7が形成される。(以上図10参照) 続いてホトレジストPR7を介してコンタクトホール75、76が形成され、コンタクト領域にBF2がイオン注入される。そして全面にバリアメタルとして下層から順にTiが100~500Å、TiNが500~2000Å程度被覆され、その後CVDによりWが5000~8000Å程度被覆される。そしてこのWがエッチバックされて、コンタクト75、76にWプラグ77、78が形成される。

【0047】ここでコンタクト76は、IC回路形成部IAの周りに連続して形成され、Wプラグ76は、ダイシングライン部の内側で層間絶縁膜75の界面を遮断している。

【0048】そして500~1000ÅのTiN、100~300ÅのTi、4000~6000ÅのAlCuが第一層目の配線材料として被覆される。(以上図11参照)

続いて、前記TiN/Ti/AlCuのパターニングが行われる。図12左図では、IC回路形成部IAには、第1層目のメタル配線79としてのパターニングが行われ、右図のダイシングライン部では、タングステンプラグ76の頭部を覆い、IC回路形成部を囲んでリング状にプラグカバー80が形成される。

【0049】ここでは別の実施の形態として、図11でコンタクトを形成する際に、ダイシングライン部に図12の様な除去領域を形成し、この側壁にWプラグ形成と同時にスペーサを形成しても良い。

【0050】続いて全面に約2000ÅのPE-TEOS膜、約2000ÅのSOG膜、約1000ÅのPE-TEOS膜、約2000ÅのSOG膜、約2000ÅのPE-TEOS膜が積層されて第2層目の層間絶縁膜81が形成される。ここでは、5層の膜で形成され、5つの界面が形成される。

【0051】そして第2層目のメタル配線83と第1層目のメタル配線79とのビアを形成する際に、ビアホール84と除去領域85が形成される。そして前述したタングステンプラグの形成と同様に、順にTi、TiNが被覆された後にWが被覆され、Wがエッチバックされる。

【0052】従ってコンタクト84にWプラグ86が形成されると同時に、除去領域85にスペーサ87が形成される。このスペーサ87は、除去領域に露出される第2層目の層間絶縁膜81の界面を被覆することになる。

【0053】また除去領域85は、層間絶縁膜81、7

4と一緒に取り除いても良い。この場合は、層間絶縁膜81、74の界面をスペーサ87が覆うことになる。この構造は、図13に開示した。本来は、図13のスペーサ90は図12の構造となるが、図面の数を減らす為であって示した。

【0054】そしてその後、200~1000ÅのTiN、6000~8000ÅのAlCuを形成し、第2層目のメタル配線83材料が全面に被覆されることになる。

【0055】ここで除去領域85に前記メタル配線が形成されないようにマスクを形成しても良い。(以上図12参照)

最後に、前記第2層目のメタル配線材料をパターンニングする。IC回路形成部は配線として形成され、ダイシングライン部はプラグカバーとしてリング状に形成される。そして除去領域85も含めて、全面に2000Å程度のSi<sub>3</sub>N<sub>4</sub>膜、2000Å程度のSOG膜、1000Å程度のTEOS膜、2000Å程度のSOG膜、10000Å程度のSi<sub>3</sub>N<sub>4</sub>膜を被覆し、パッシベーション膜88とする。

【0056】ここで通常のICは、ダイシング装置でラインDをフルカットしてベア実装されたり、リードフレームに実装されモールドされる。

【0057】この後の説明は、ウェハスケール型のチップサイズパッケージに应用する場合の説明をする。

【0058】つまり図16に示すように、ウェハ51で作られ、パッシベーション膜88まで被覆されたウェハ51を用意し、最上層のメタル配線83(図16では符号53に対応)を露出する開口部を形成し、この開口部を介して再配線層54をCuメッキで形成する。

【0059】この再配線層54には、メタルポスト55が形成されると共に、全域には封止樹脂56が全面に被覆され、この封止樹脂56から露出したメタルポスト55には、半田バンプや半田ボール57が形成される。

【0060】この状態でダイシングライン部DLの内側に位置するダイシングラインDに沿ってフルカットされ、個々に分離されて半導体チップが完成する。

【0061】従って、IC回路形成部IAの周囲には、第1のシールリング89が形成され、その外側に第2のシールリング90が形成され、更に第2のシールリング90(スペーサ)をパッシベーション膜が覆っている。

【0062】図では二層メタルで示してあるので、第2層目のメタル配線の上にはパッシベーション膜が被覆されている。但し、三層以上のメタル階層では、最上層のメタル配線の上にパッシベーション膜が形成され、その下のメタル配線間には層間絶縁膜が形成されることになる。従って層間絶縁膜は、図12の用に少なくとも1つの層間絶縁膜に除去領域を形成しスペーサを形成しても良いし、最上層の層間絶縁膜から半導体基板まで到達する除去領域を形成し、ここにスペーサを形成しても良

い。

【0063】またスペーサは、一般にはその膜を全面に被覆した後、エッチバックして形成される。従ってここでは、シリコン酸化膜、Si<sub>3</sub>N<sub>4</sub>膜、TEOS膜等の絶縁膜、Alを主材料とする材料、非晶質、単結晶、多結晶のシリコン膜、W等が考えられる。これらは、全てエッチバックが可能な材料である。

【0064】またこのスペーサは、前述したように第1層目のコンタクトプラグが形成されるときに形成しても良い。この場合は、第1層目の層間絶縁膜の端面にスペーサが形成され、これを覆うように第2層目の層間絶縁膜が形成され、ここに第2層目のタングステンプラグが形成される際にスペーサが形成されても良い。またどちらか一方でもその効果はある。もちろん階層が増えれば、この端面も増加するので、スペーサの配置領域は増加する。これも少なくとも1つシールされていればよい。

【0065】最近では、CSP(チップサイズパッケージ)が開発され、市場にも出始めている。これらは、樹脂量が極端に少なく、耐湿性の向上が非常に重要なテーマとなる。

【0066】特にウェハ型CSPは、ウェハ状態でICが作り込まれパッシベーション膜が被覆された後、全面に封止樹脂を載せ、その後、ダイシングして個々のチップに分離するため、チップの側壁には、前述した層間絶縁膜の界面が露出される。従ってシールリングは、非常に重要な位置づけになる。本発明の構成を採用すれば、何重ものシールが可能となり、チップの耐湿劣化を防止できるメリットを有する。

【0067】

【発明の効果】以上の説明から明らかなように、第1に、IC回路形成部の周囲にシールリングを設け、このシールリングを構成するプラグが層間絶縁膜の界面をカットするので、湿気の通路を遮断し、チップサイズパッケージの劣化を防止することができる。

【0068】また第1のシールリングの他に、層間絶縁膜の側壁、つまり界面を覆うスペーサが設けられるため、二重、三重…のシールが可能となる。

【0069】また不揮発性半導体記憶装置より成るチップサイズパッケージでも、湿気が浸入しにくいので、TEOS膜やSOG膜等に水素や水素原子等が拡散されにくい構造となり、トンネル酸化膜へのトラップを防止することができ、書き換え回数の増大を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置を説明する断面図である。

【図2】本発明の半導体装置を説明する断面図である。

【図3】本発明の半導体装置を説明する断面図である。

【図4】本発明の半導体装置を説明する断面図である。

【図5】本発明の半導体装置を説明する断面図である。

【図6】本発明の半導体装置を説明する断面図である。  
 【図7】本発明の半導体装置を説明する断面図である。  
 【図8】本発明の半導体装置を説明する断面図である。  
 【図9】本発明の半導体装置を説明する断面図である。  
 【図10】本発明の半導体装置を説明する断面図である。  
 【図11】本発明の半導体装置を説明する断面図である。  
 【図12】本発明の半導体装置を説明する断面図であ \*

＊る。

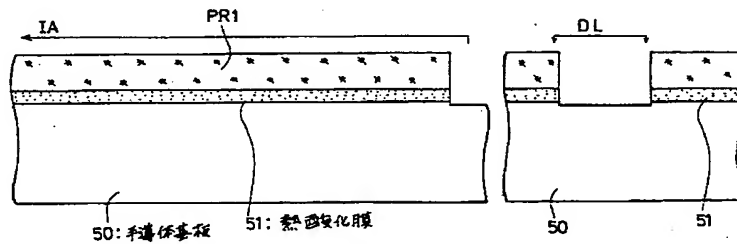
【図13】本発明の半導体装置を説明する断面図である。

【図14】不揮発性半導体記憶装置の平面図である。

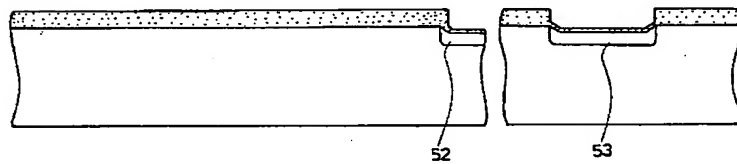
【図15】図14のX1-X1線に沿った断面図である。

【図16】チップサイズパッケージを説明する図である。

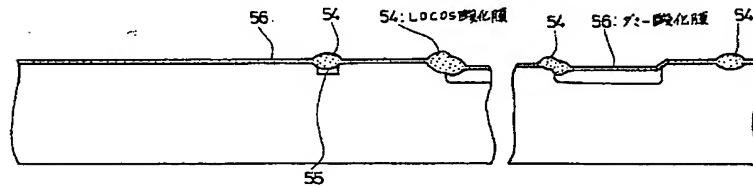
【図1】



【図2】

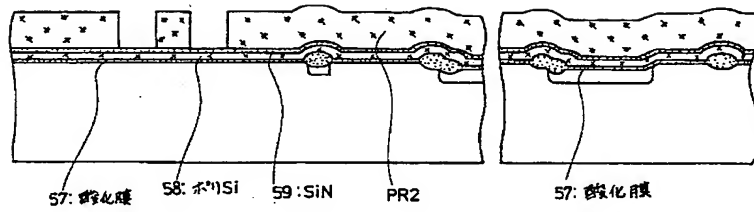


【図3】

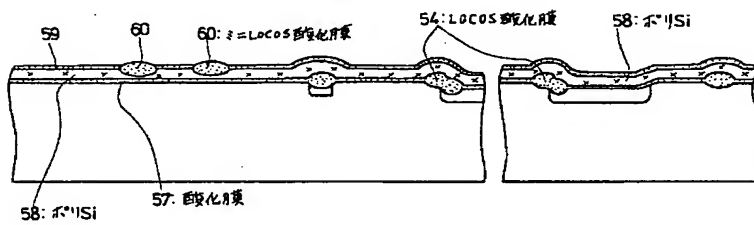




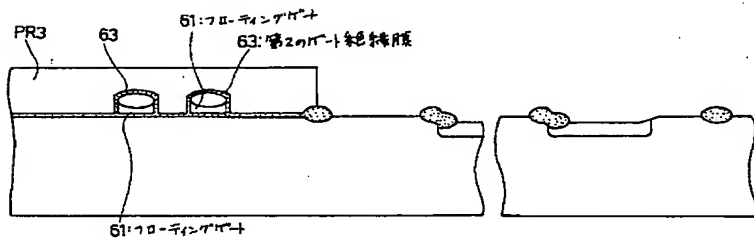
【図4】



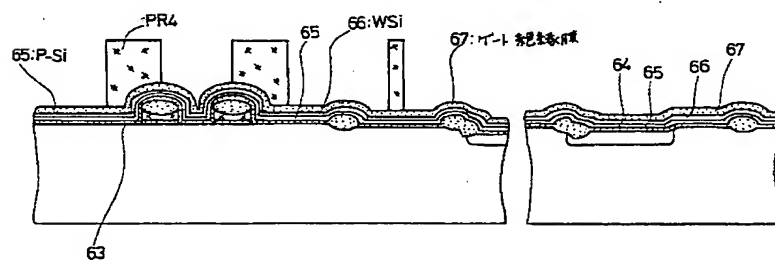
【図5】



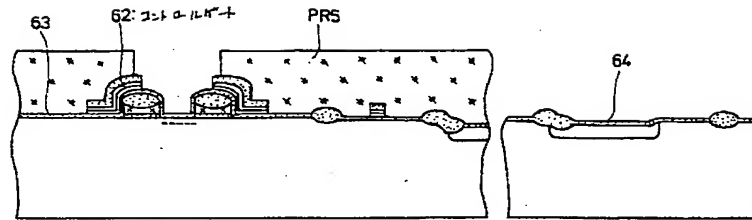
【図6】



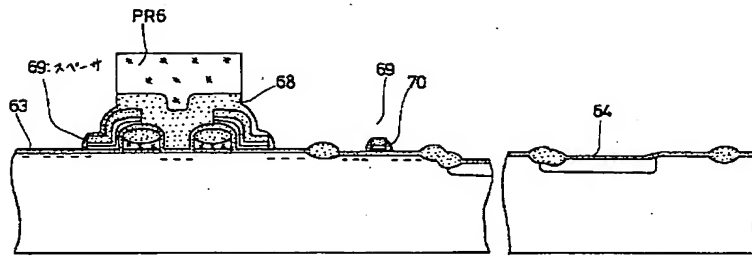
【図7】



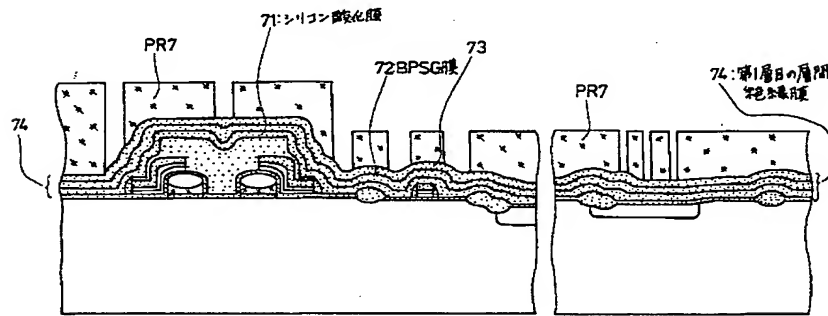
【図8】



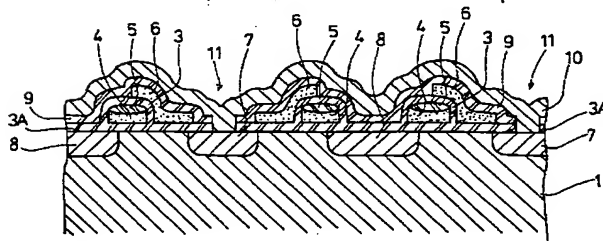
【図9】



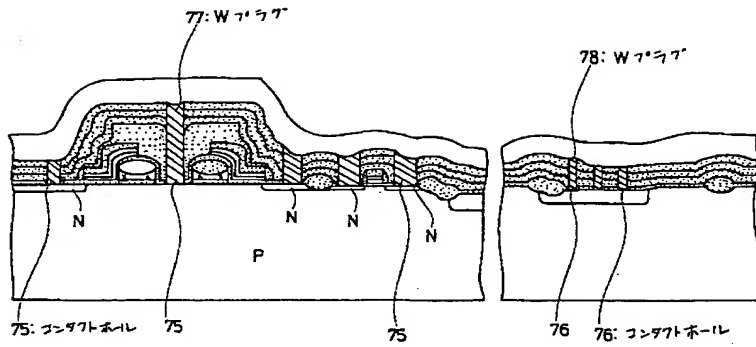
【図10】



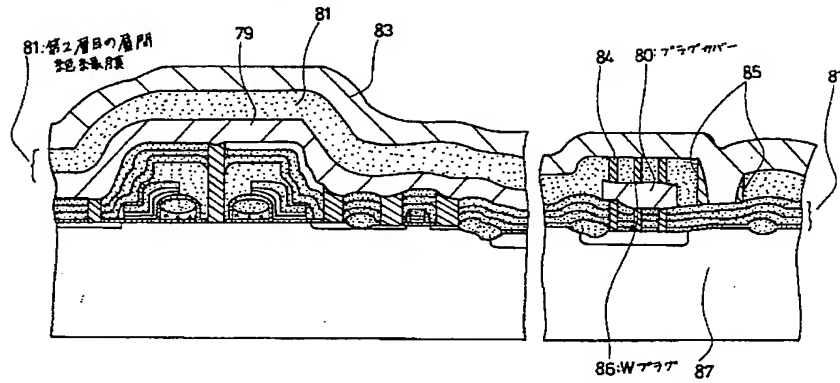
【図15】



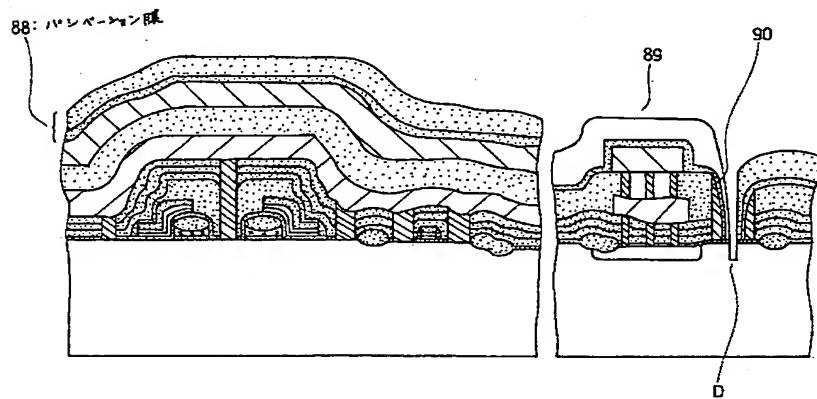
【図11】



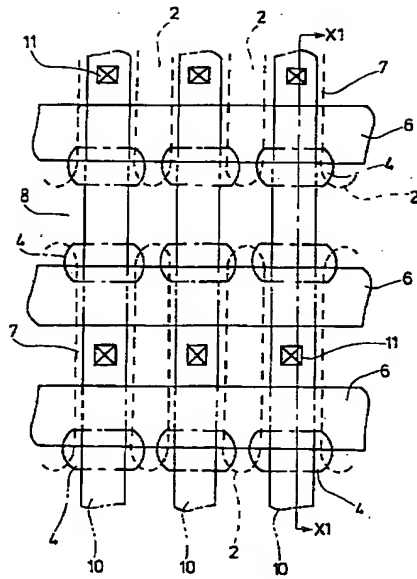
【図12】



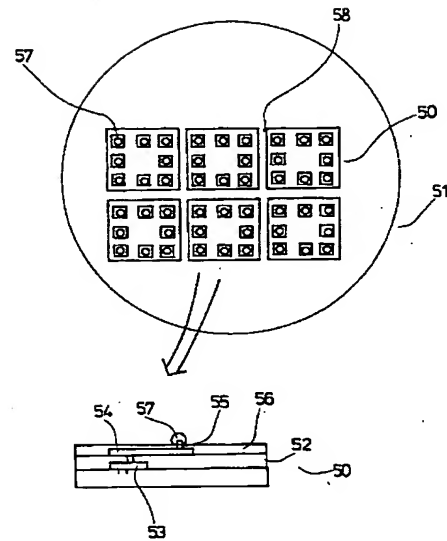
【図13】



【図14】



【図16】



フロントページの続き

F ターム(参考) 5F001 AA09 AA33 AA63 AB03 AD12  
 AD62 AF07 AG07 AG09 AG40  
 5F083 EP03 EP24 EP52 EP53 EP57  
 GA21 GA30 JA36 JA37 JA39  
 JA40 JA53 JA56 KA01 KA20  
 MA06 MA15 MA19 NA02 PR09  
 PR38 PR39 ZA27